

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-278374

(43)Date of publication of application : 10.12.1991

(51)Int.Cl.

G11B 20/12
G11B 7/085
G11B 20/10

(21)Application number : 02-077869

(71)Applicant : MATSUSHITA COMMUN IND
CO LTD

(22)Date of filing :

27.03.1990

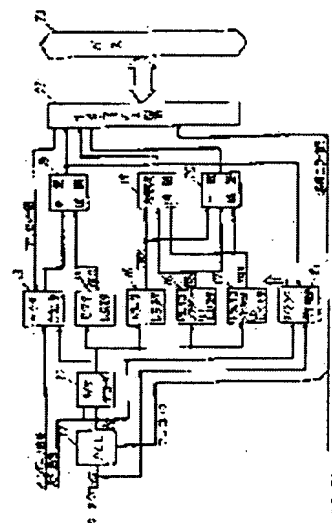
(72)Inventor : INOUE JIRO

(54) FORMAT DECODER

(57)Abstract:

PURPOSE: To obtain format information with high accuracy from an optical disk with a large number of flaws by providing a circuit which outputs a discrimination result by discriminating a track address signal by decision by majority, and a circuit which outputs the discrimination result by discriminating the coincidence of the track address signal included in a signal from a decoder.

CONSTITUTION: A majority circuit 19 outputs a majority signal when the coincidence of two track addresses out of track addresses recorded for three times on the optical disk, and also, a coincidence circuit 20 outputs a coincidence signal when the coincidence of all the track addresses is obtained, thereby, a microcomputer can obtain track address information with high accuracy. Also, by employing such configuration, the microcomputer can use the majority signal from the majority circuit 19 separately from the coincidence signal from the coincidence circuit 20 in address decision in a seek operation and that in a write operation, respectively. Thereby, it is possible to obtain the format information with high accuracy from the optical disk with a large number of flaws.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-278374

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月10日

G 11 B 20/12
7/085
20/10G 9074-5D
B 8524-5D
7923-5D

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 フォーマットデコード装置

⑯ 特 願 平2-77869

⑰ 出 願 平2(1990)3月27日

⑱ 発 明 者 井 上 治 郎 神奈川県横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

⑲ 出 願 人 松下通信工業株式会社 神奈川県横浜市港北区綱島東4丁目3番1号

⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

フォーマットデコード装置

2. 特許請求の範囲

(1) 記録媒体に記録されたサーボクロックを抽出し、データクロックを生成して出力する PLL 回路と、前記 PLL 回路からデータクロックに基づいて、光ディスクに記録されたデータの再生信号を復号化するデコードと、前記 PLL 回路からのデータクロックと前記デコードからの信号に含まれるセクタアドレス信号によりセクタアドレスを判定して出力し、判定することができない場合に前回のセクタアドレスにより今回のセクタアドレスを予測して出力する回路と、前記デコードからの信号に含まれるトラックアドレス信号を多数決により判別し、判別結果を出力する回路と、前記デコードからの信号に含まれるトラックアドレス信号が一致したか否かを判別し、判別結果を出力する回路とを有するフォーマットデコード装置。

(2) 前記セクタアドレス、及びトラックアドレスの判定結果を光ディスク装置のマイクロコンピュータに出力する回路を有する請求項1記載のフォーマットデコード装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、サンプルフォーマット方式の光ディスクを駆動する装置等に利用するフォーマットデコード装置に関する。

従来の技術

一般に、サンプルフォーマット方式の光ディスクの各セクタの先頭には、第2図に示すような18バイトのID部が記録され、このID部は、2バイトのサーボバイトと、1バイトの同期信号(SYNC)、1バイトのセクタアドレス(SEC)と、1バイトのトラック上位アドレス(TRKH)と、1バイトのトラック下位アドレス(TRKL)と、1バイトのトラック下位アドレスコンプリメント(TRKL)と、1バイトの上位アドレスアドレスコンプリメント(TRKH)と、1バイトのト

トラック下位アドレスコンプリメント (TRKL) と、レーザパワー調整等のための9バイトのリザーブエリア (Reserve) より構成されている。

従来、サンプルフォーマット方式の光ディスクを駆動する装置等におけるフォーマットデコード装置は、光ディスクに記録されたサーボクロックを抽出してPLL (Phase Locked Loop) によりデータクロックを生成し、このクロックに基づいて4/15 符号デコードを行い、光ディスクの各セクタのヘッダ部に記録されたセクタアドレス (SEC)、トラックアドレス (TRKH + RTKL)、トラックコンプリメント (I) アドレス (TRKH + 最初の RTKL)、トラックコンプリメント (II) アドレス (TRKH + 最後の RTKL) を読み取り、読み取ったトラックアドレスについては多数決により正しいか否かを判別し、セクタアドレスについては判別を行うことなくその値を正しいものとみなして光ディスクのアドレスを検出していた。

発明が解決しようとする課題

しかしながら、上記従来のフォーマットデコー

ド装置では、読み取ったトラックアドレスについては多数決により正しいか否かを検出し、セクタアドレスについては判別を行うことなくその値を正しいものとみなして光ディスクのアドレスを検出するために、欠陥の多い光ディスクのフォーマットを読み取ることができないという問題点がある。

本発明は上記従来の問題点に鑑み、欠陥の多い光ディスクから確度の高いフォーマット情報を得ることができるフォーマットデコード装置を提供することを目的とする。

課題を解決するための手段

本発明は上記目的を達成するために、PLL 回路からのデータクロックとデコーダからの信号に含まれるセクタアドレス信号によりセクタアドレスを判定して出力し、判定することができない場合に前回のセクタアドレスにより今回のセクタアドレスを予測して出力する回路と、デコーダからの信号に含まれるトラックアドレス信号を多数決により判別して判別結果を出力する回路と、デコ

ーダからの信号に含まれるトラックアドレス信号が一致したか否かを判別して判別結果を出力する回路を備えたものである。

作 用

本発明は上記構成により、セクタアドレスを予測して出力するために、欠陥の多い光ディスクから確度の高いセクタアドレス情報を得ることができ、また、多数決に加えて一致によりトラックアドレスを判定するために、欠陥の多い光ディスクから確度の高いトラックアドレス情報を得ることができ、したがって、欠陥の多い光ディスクから確度の高いフォーマット情報を得ることができる。

実 施 例

以下、図面を参照して本発明の実施例を説明する。第1図は、本発明に係るフォーマットデコード装置の一実施例を示すブロック図である。

第1図において、11は、第2図に示すようなサンプルフォーマット方式の光ディスクに記録されたサーボクロックを抽出し、データクロックを生成して出力し、またPLLのアンロック時にア

ンロック検出信号を出力するPLL回路、12は、PLL回路11からのデータクロックに基づいて、第2図に示すように光ディスクに記録されたデータの再生信号 (RF信号) の4/15符号デコードを行い、バイナリ信号にデコードされたパラレル信号で出力する4/15デコーダである。

13は、PLL回路からのデータクロックにより光ディスクの現在のセクタをカウントするセクタカウンタであり、このセクタカウンタ13は、光ディスクを回転するスピンドルモータ (不図示) の一回転毎に得られるインデックス信号により、マイクロコンピュータ (不図示) からバス23、インタフェース回路22を介して与えられる値がプリセットされる。

14は、4/15デコーダ12の出力信号に含まれ、光ディスクの各セクタの先頭を示すセクタマーク信号の値がセットされるセクタレジスタ、

15は、4/15デコーダ12の出力信号に含まれるトラックアドレス (TRK) を記憶するトラックレジスタ、16は、4/15デコーダ12の出力信

号に含まれるトラックアドレスコンプリメント(I) (TRK) を記憶するトラックコンプリメント(I) レジスタ、17は、4/15デコーダ12の出力信号に含まれるトラックアドレスコンプリメント(II) (TRK) を記憶するトラックコンプリメント(II) レジスタである。

18は、セクタレジスタ14からの1つ前の値を記憶し、この値とセクタレジスタ14からの今回の値を比較し、一致した場合に今回の値を出力し、他方、異なる場合に1つ前の値から予測値を出力する判定回路であり、この判定回路18はまた、セクタカウンタ13の値を常時監視し、セクタの先頭時にセクタレジスタ14から信号が入力しないときにも予測値を出力する。

19は、トラックレジスタ15、トラックコンプリメント(I)レジスタ16及びトラックコンプリメント(II)レジスタ17の出力信号により、光ディスクに3回記録されたトラックアドレス (TRK、TRK×2) のうち2つのトラックアドレスが同一である場合に多数決信号を出力する多

セクタレジスタ14からの今回の値を比較して異なる場合に1つ前の値から予測値を出力し、また、セクタカウンタ13の値を常時監視し、セクタの先頭時にセクタレジスタ14から信号が入力しないときにも予測値を出力するために、光ピックアップの位置等を検出するセンサを用いることなく、マイクロコンピュータは、確度の高いセクタアドレス情報を得ることができる。

また、PLL回路11からのデータクロックにより光ディスクの現在のセクタをカウントしているために、予測値によりセクタアドレスを予測することができ、したがって、光ディスクの欠陥によりセクタアドレスを読み取ることができない場合にも確度の高いセクタアドレス情報を得ることができる。

更に、多数決回路19が光ディスクに3回記録されたトラックアドレスのうち2つのトラックアドレスが同一である場合に多数決信号を出力し、また一致回路20が全てのトラックアドレスが同一である場合に一致信号を出力するために、マイ

多数決回路、20は、この光ディスクに3回記録されたトラックアドレスの全てが同一である場合に一致信号を出力する一致回路である。

尚、多数決回路19からの多数決信号は、インタフェース回路22、バス23を介してマイクロコンピュータに出力されて光ディスクのトラックをシークするとき用いられ、一致回路20からの一致信号は、同様にマイクロコンピュータに出力されて光ディスクにデータを記録する際のデータプロテクト等に用いられる。

21は、サーボクロックとPLL回路11からのデータクロックにより、上記各回路11～20に必要な基本タイミング信号を出力するタイミング発生回路である。

尚、マイクロコンピュータにはまた、PLL回路11からのアンロック検出信号の他、各種エラー信号がインタフェース回路22、バス23を介して入力する。

上記構成において、判定回路18が、セクタレジスタ14からの1つ前の値を記憶し、この値と

クロコンピュータは、確度の高いトラックアドレス情報を得ることができる。

また、上記実施例によれば、多数決回路19からの多数決信号と一致回路20からの一致信号により、マイクロコンピュータは、それぞれの信号をシーク時のアドレス判定と書き込み時のアドレス判定に使い分けることができる。

更に、上記各回路11～22は、LSIにより構成することができ、したがって、光ディスク装置等に小型化された装置として組み込むことができる。

発明の効果

以上説明したように、本発明は、PLL回路からのデータクロックとデコーダからの信号に含まれるセクタアドレス信号によりセクタアドレスを判定して出力し、判定することができない場合に前回のセクタアドレスにより今回のセクタアドレスを予測して出力する回路と、デコーダからの信号に含まれるトラックアドレス信号を多数決により判別して判別結果を出力する回路と、デコーダ

からの信号に含まれるトラックアドレス信号が一致したか否かを判別して判別結果を出力する回路を備えたので、欠陥の多い光ディスクから確度の高いフォーマット情報を得ることができる。

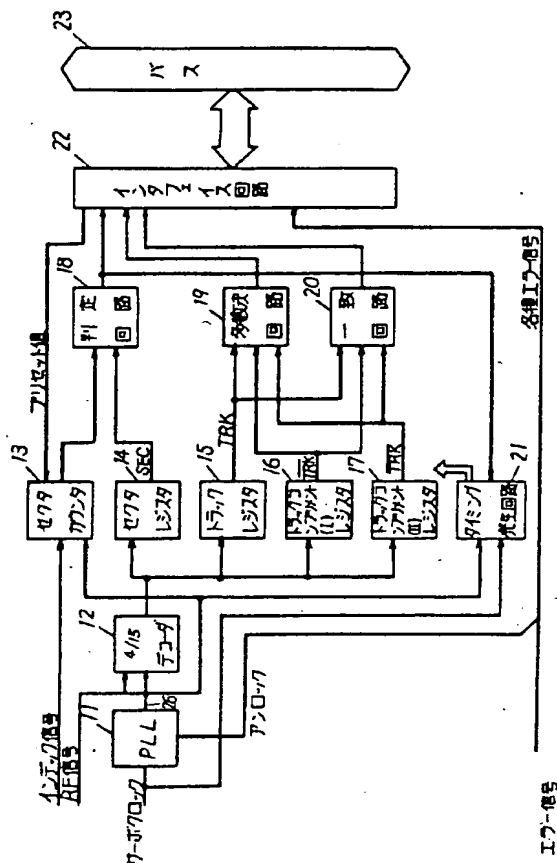
4. 図面の簡単な説明

第1図は、本発明に係るフォーマットデコード装置の一実施例を示すブロック図、第2図は、サンプルフォーマット方式の光ディスクの各セクタのID部を示す説明図である。

11…PLL回路、12…4/15デコーダ、13…セクタカウンタ、14…セクタレジスタ、15…トラックレジスタ、16…トラックコンプリメント(I)レジスタ、17…トラックコンプリメント(II)レジスタ、18…セクタ判定回路、19…多数決回路、20…一致回路、21…タイミング発生回路、22…インタフェース回路、23…マイクロコンピュータバス。

代理人の氏名 弁理士 栗 野 重 孝 ほか1名

第1図



第2図

